

JU S48-41159 (English Translation)

T-1/2

<A>

52 Japan Classification

19 Japan Patent Office

Japanese Utility Model Publication

JPO File No.

11 Japanese Utility Model Application Laid-Open No. 48-41159

43 Publication Date May 25, 1973

Request for Examination not requested (total 4 pages)

54 Charge-Coupled Semiconductor Device

21 Application No. 46-83995

22 Filing Date September 15, 1971

72 Inventor SATOH, Shuichi

Ha-9-507, Tamagawajutaku, 3-1, Somechi, Chofu-shi

71 Applicant Sony Corporation

6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

74 Representative Patent Attorney TSUCHIYA, Masaru (One other)

Then, applied are voltages of critical value or more allowing electrodes (21), (22), (23), (24), (25), (26) to hold charges. These voltages to be applied to the electrodes are different from each other and become gradually larger from the left-side electrode to the right-side electrode. The critical value voltage varies depending on the thicknesses of the silicon oxide layer (14) and the alumina layer (15). For example, when the critical value voltage is about 20 V, +50 V is applied to one electrode for one second and the other electrode are given voltages which differ from each other by several volts.

<C>

With the above-described structure, it becomes possible to shift carriers without using a clock, thereby enabling effective use in a simplified electronic device. In other words, this device can be used as a shift register, a delay circuit, a storage circuit configured to return outputs to the input side or the like.

<D>

Fig. 2B

④日本国特許庁

公開実用新案公報

①実開昭48-41159

②出願人 朝日興業株式会社

③代理人 朝日興業株式会社

④内訳
99(5)E 3
99(5)H 0
98(9)D 12
97(7)C 61
99(5)C 23
6426-57
6513-57
6372-56
6340-56
7113-57

⑤電荷結合形半導体装置

⑥実用新案登録請求の範囲

半導体基板上に電荷蓄積効果を有する絶縁層を

設け、階段状若しくは傾斜状に空乏層が形成され

るよう前に前記絶縁層の一部若しくは全部に電荷を

注入保持せしめ、前記電荷を注入保持せしめた絶

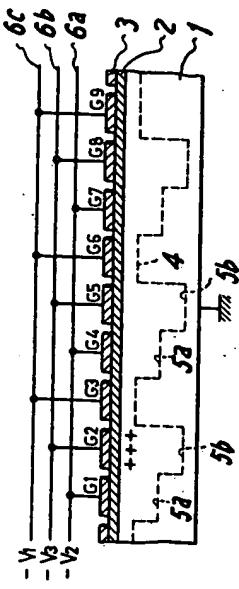
縁層下において少數キャリアが方向性を具備して
移送されるよう構成したことを特徴とする電荷
結合形半導体装置。

図面の簡単な説明
第1 A図、第1 B図及び第1 C図は従来の電荷
結合形素子を示す断面図、第2 A図～第2 C図は
本考案の実施例を示すものであつて、第2 A図は
電荷蓄積効果を有する絶縁層を形成した状態の断
面図、第2 B図は電極を設けた状態の断面図、第
2 C図は平面図、第3図は本考案の別の実施例を
示す断面図である。また図面に用いられている符
号において、1, 11は半導体基板、12, 12はP+
形半導体領域、14はシリコン酸化物層、15は
アルミナ層、2, 1, 2, 2, 23, 24, 25, 26
は電極、27は空乏層である。

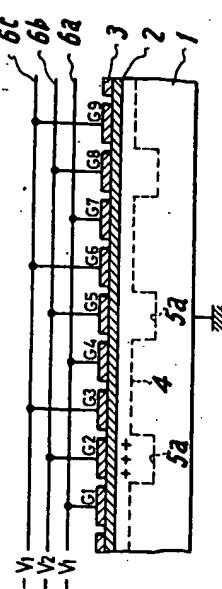
⑦考案者 佐藤収一
9の507
⑧出願人 ノニー株式会社
東京都品川区北品川6の7の35
⑨代理人 弁理士 土屋勝 外1名

JU S48-41159 (Publication Document)
2/6
規開 昭48-41159(2)

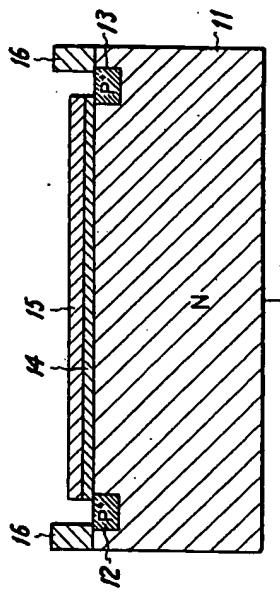
第1B図



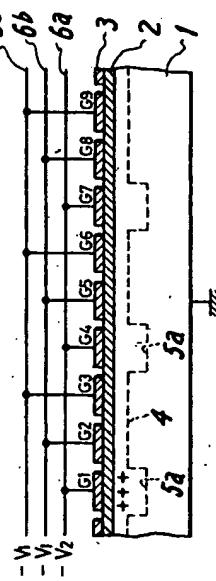
第1C図



第2A図

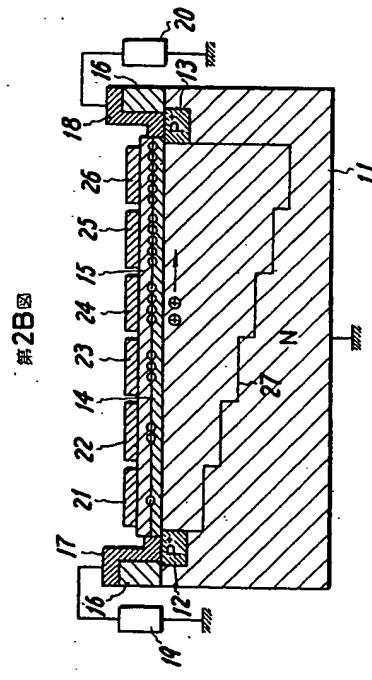
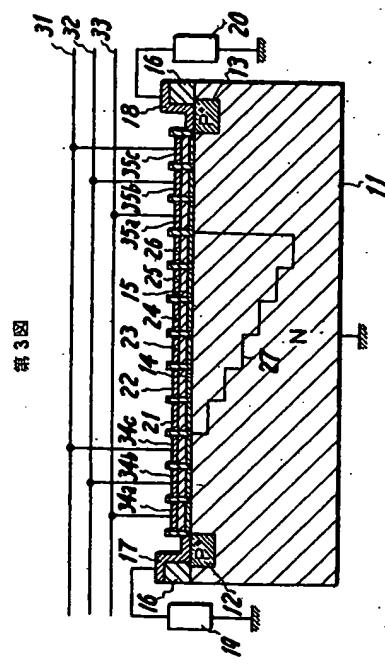


第1A図

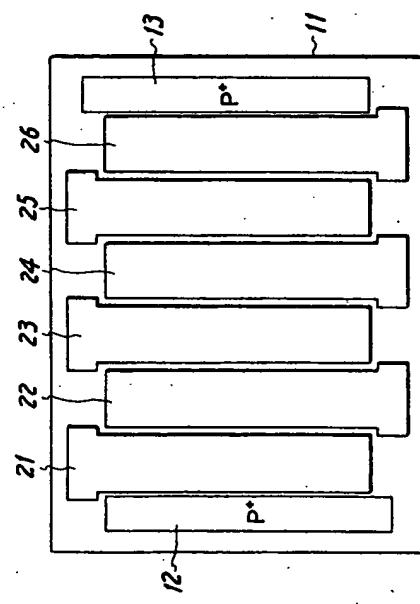


FP04-0319
'08.8.20
OA

P-3/2



第2C図



JU 548-41159 (Specification) S 1/9



明細書

1. 考案の名称

実用新案登録願 (2)

(1,500円)

特許庁長官 謹
昭和 46年 9月 15日

電荷結合形半導体接置

1. 考案の名称

電荷結合形半導体接置

1. 考案の著者

東京都調布市染地3の1 多摩川住宅はの9の507
佐藤 政一

3. 実用新案登録出願人

東京都調布市北山町6丁目7番35号
(218) 佐藤 政一 住 所 公社
代表者 盛田 昭大

4. 代理人
〒160 東京都新宿区内野崎7の11の15 ミヤコビル
電話番号 (03) 363-1466 勤
(6595) 代理社 上野 啓
同 所

5.添附書類の目録
(1) 明細書
(2) 図面
(3) 斷面図
(4) 表抜

48-41159-01

T

1. 半導体基板上に電荷蓄積効果を有する絶縁層を設け、階段状若しくは傾斜状に空乏層が形成されよう前に前記絶縁層の1部若しくは全部に電荷を注入保持せしめ、前記電荷を注入保持せしめた絶縁層下において少數キャリアが方向性を具備して移送されるよう構成したことを特徴とする電荷結合形半導体接置。

2. 考案の詳細な説明

本考案は電荷結合形半導体接置に関するものである。電荷結合形素子とは半導体の表面にSiO₂等の絶縁層を介して微小電極列を形成し、この微小

(1)

48-41159-02

電極と半導体間に逆バイアス電圧を加えることによつて空乏層を形成し、この空乏層を逆バイアス電圧のレベルによつて制御し、電位の井戸を形成し、この電位の井戸が少數キャリアを捕えてこの少數キャリアを一方方向に順次移動させるように構成した素子である。

既に知られている電荷結合素子の構成及びその動作を第1A図～第1C図に付き説明すれば、半導体基板(1)は低不純物濃度かつ低表面単位の例えばn形のシリコン基板で、この表面に1000^oA程度の絶縁層(2)、例えはSiO₂層を具備している。絶縁層(2)の上にはOr-Au等で形成された電極(3)が数々の微小ギャップを有して複数個直線状に配列されている。尚この図面では理解を容易にするために各電極にG₁、G₂、……G₉の符号を付

してある。そしてこのそれぞれの電極(3)はリード線(6a) (6b) (6c)に接続され、3段階の逆バイアス電圧-V₁、-V₂、-V₃が選択的に印加されるよう構成されている。

この素子の動作を説明すれば、まず第1A図に示す如く左側の電極G₁の近傍にアバランチ効果等適当な方法で正孔を発生させ、かつリード線(6a)に-V₁がルート、リード線(6b) (6c)に-V₂がルート、即ち電極G₁、G₄、G₇に-V₁、ルートを、電極G₂、G₃、G₅、G₆、G₈、G₉に-V₂がルートを印加する。尚この逆バイアス電圧V₁とV₂の関係はV₂>V₁であつて、かつV₁は空乏層を作るに足る限界電圧よりも大きな値である。

このよう逆バイアス電圧を印加することによって、点線で示す如く空乏層即ち電位の井戸(5a)

(2)

48-41159-03

(3)

48-41159-04

が形成され、この電位の井戸 (5a) が注入した少
数キャリア即ち正孔を捕える。

次に第 1 B 図に示す如く、リード線 (6a) $\cap -V_s$
ボルト、リード線 (6b) $\cap -V_s$ ボルト、リード線 (6c)
 $\cap -V_s$ ボルト、即ち電極 G1、G4、G7 $\cap -V_s$ ボルト、
電極 G2、G5、G8 $\cap -V_s$ ボルト、電極 G3、G6、G9 \cap
 $-V_s$ ボルト印加する。尚各電圧の関係は $V_s > V_{\phi} >$
 V_t である。このよう逆バイアス電圧を加えれば、
電極 G1 と相隣る電極 G2 との下部に電極 G1 の下部上
りも深い空乏層即ち深い電位の井戸 (5b) が形成さ
れるため、電位の井戸 (5a) に捕えられた正孔

は電位の井戸 (5a) から (5b) に移動する。
次に更に正孔を右側に移動させるためには第 1
C 図に示す如くリード線 (6a) $\cap -V_s$ ボルト、リード
線 (6b) $\cap -V_s$ ボルト、リード線 (6c) $\cap -V_s$ ボル

トを印加し、電極 G2 の下部の電位の井戸 (5a) を浅
くし、第 1 A 図と同じような空乏層の分布とし、
次いで電極 G3 の下部に電位の井戸 (5a) よりも深い
電位の井戸を作る。この結果、電極 G2 の下部の正
孔を電極 G3 の下部に形成した深い電位の井戸に移
動させることが出来る。

上述の如く電荷結合形素子はバイアス電圧の切
換え、即ち 3 相駆動によつて少數キャリアを順次
移動することが出来るためシフトレジスタ等とし
て使用することが可能である。

然しながら上述の電荷結合形素子は 3 相駆動で
あるため駆動機構が複雑となる欠点及び駆動機構
の速さに少數キャリアの移動速度が制限される等
の欠点を有する。

本考案は上述の如き欠点を解決するために考案

(4)

48-41159-05

(5)

48-41159-06

されたものであつて、半導体基板上に電荷蓄積効果を有する絶縁層例えばアルミナナシリコンオキサイド層若しくはナイトライドナシリコンオキサイド層若しくはアルミナ層等の絶縁層を設け、階段状若しくは傾斜状に空乏層が形成されるよう前に前記絶縁層の1部若しくは全部に電極を注入保持せしめ、前記電極を注入保持せしめた絶縁層下において少數キャリアが方向性を有して移送されるよう構成した電荷結合形半導体装置に係るものである。このように構成することによつて駆動機能を簡単に出することが出来る。

次に本考案を適用した電荷結合形半導体装置の実施例を図面に付き述べる。

本考案に基づく電荷結合形半導体装置を作成するため、まず図2A図に示す如く、N形シリコ

S半導体基板41を用意し、その両端部にP⁺形半導体領域42と43とを形成する。このP⁺形半導体領域42は少數キャリアを注入するためのものであり、P⁺形半導体領域43には少數キャリアを検出するためのものである。またN形シリコン半導体基板41上にシリコン酸化物層44を形成し、更にその上にアルミナ層45を形成する。尚上述のシリコン酸化物層44は50Å～200Å程度に、アルミナ層45は700Å～2000Å程度に形成する。また電極導出の周辺部分には厚いシリコン酸化物層44を形成する。また両端部には電極導出のための比較的厚いシリコン酸化物層44を形成する。

次に図2B図に示す如く、アルミナ層45の上に複数の電極46の凹凸四角形を形成する。この電極は例えば約150μmに幅に形成し、相隣る電極とのギ

(6)

48-41159-07

(7)

48-41159-08

5/9

・ ヤング率を約 3 μ 程度とする。この結果金属電極 -
アルミナ層(1) - シリコン酸化物層(2) - 半導体基板
(3) とからなる層即ち MAOS 層が形成される。こ
の MAOS 層は N と S の間に臨界値電圧以上の
バイアスを加えることによつて電荷を蓄積保持す
ることが出来る性質を有するものである。また P+
形半導体領域(4)に電圧(1)を設け、入力回路(5)を接
続し、P+ 形半導体領域(4)に電圧(1)を設け、出力回
路(6)を接続する。

次に電圧(1)の印加回路(5)に電荷を保持することが
出来る臨界値以上の電圧を印加する。尚この印加
する電圧はそれぞれの電極に対してそれぞれ異なる
値とし、左から右に進むに従つて高い値にする。
臨界値電圧はシリコン酸化物層(2)とアルミナ層(1)
との厚さによつて変化するが、例えば 2.0 バルト

(8)

48-41159-09

(9)

48-41159-10

5-6/9

、シ形のPETと同じような状態となる。後つて上
述の如くシリコン酸化物層⑩とアルミナ層⑨との
界面及びその近傍に電荷が蓄積されれば、第2B
図に模式的に示す如く空乏層④が広がる。即ち電
極②)～④)の電荷の量に応じて階段状に順次深くな
るようになり形成されている。

、次に上述の如く形成された特異の動作に付き述
べる。今、入力回路⑧に上つてP⁺形半導体領域③
から正孔を蓄積の下に注入したとすれば、空乏
層④が左側から右側に階段状に深くかつているの
で、正孔に方向性が与えられ、正孔は左側から右
側にシフトする。そしてついに右側のP⁺形半導体
領域③にまで移動し、出力回路⑥にて正孔の到達を
知ることが出来る。

、上述の如くすることによって、クロックを用い

00

48-41159-11

ないでキャリアをシフトすることが出来るので簡
易型の電子装置に有効なものとなる。即ちこのよ
うな装置はシフトレジスター、遷移回路、また出力
を入力に戻すように構成すれば記憶回路等として
使用することが出来る。

次に本考案の別の実施例を第3図に付記する。
尚この実施例は前述の実施例とほとんど同じであ
るので同じ働きをする部分には同一の符号を付し
てその説明を略す。この実施例においては少數キ
ャリアの注入部分を取り出し部分のみに電荷を蓄
積しない電極(34a)(34b)(34c)及び(35a)(35b)
(35c)を設け、バイアスライン⑪⑫⑬⑭に接続し、
3拍駆動でキャリアを移送するより構成されて
いる。またそれぞれの電極と電極との間に周辺
部と同じように比較的厚いシリコン酸化物層⑩が

01

48-41159-12

S-7/9

設けられている。

上述の如く構成すれば、キャラリアの注入と取り出しがクロックで行うことが出来、前述の実験例よりは正確となる。

以上本考案を実施例に基づいて説明したが本考案は上述の実験例に限定されることはなく本考案の技術的思想に基づいて更に變形が可能であることは理解されるであろう。例えば少數キャラリアの発生若しくは注入方法をアバランシエ効果による方法、光あるいは電子線等を照射する方法等をとることも出来る。またアルミニナ層のシリコン酸化物層の代りにナイトライド層とシリコン酸化物層による絶縁膜等で形成することも出来る。また絶縁膜に対する電荷の蓄積を階段状とせずに傾斜状としてもよい。側傾斜状に電荷を蓄積するため

めには絶縁膜上の電極に電圧を加えると共に、横方向の電圧を同時に加えることによつて達成される。

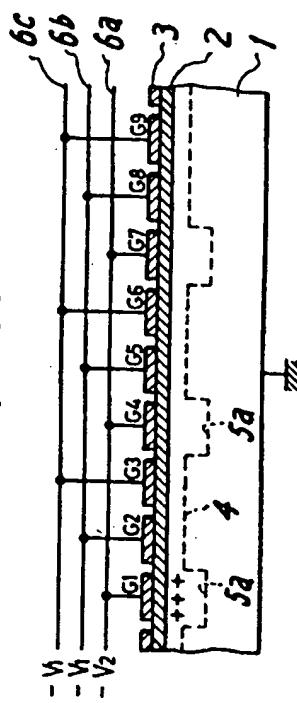
本考案は上述の如く絶縁層に電荷を蓄積させ、その電荷による電位の勾配に基づいてキャラリアをシフトするものであるので、キャラリアに方向性が与えられ、クロックなしでシフトすることも可能となり、簡単な装置に通じた電荷結合形粒子を提供出来る。

4. 図面の簡単な説明

図1A図、図1B図及び図1C図は従来の電荷結合形粒子を示す断面図、図2A図～図2C図は本考案の実施例を示すものであつて、図2A図は電荷蓄積効果を有する絶縁層を形成した状態の断面図、図2B図は電極を設けた状態の断面図、図

5-8/9

第1A図

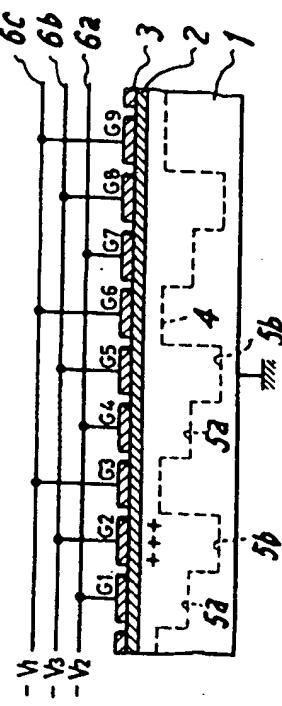


2C図は平面図、第3図は本考案の別の実施例を示す断面図である。

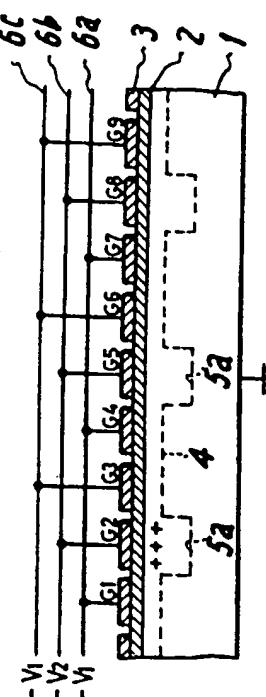
また図面に用いらかれている符号において、(1)は半導体基板、(2)(3)はP⁺形半導体領域、(4)はシリコン酸化物層、(5)はアルミナ層、(6)物質20の層は極、(7)は空乏層である。

代理人土屋勝
高野則次

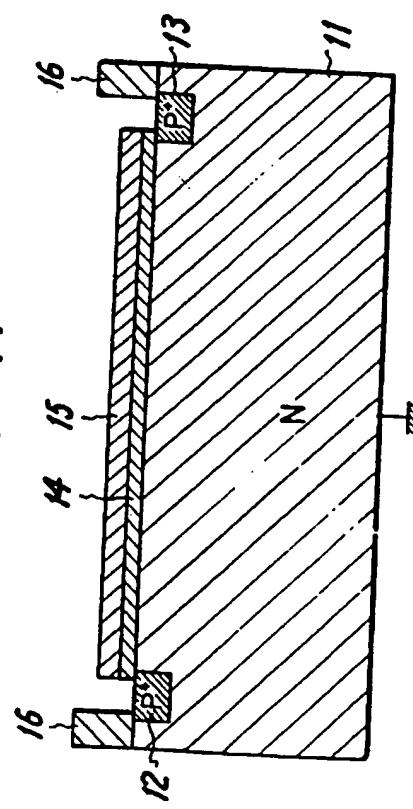
第1B図



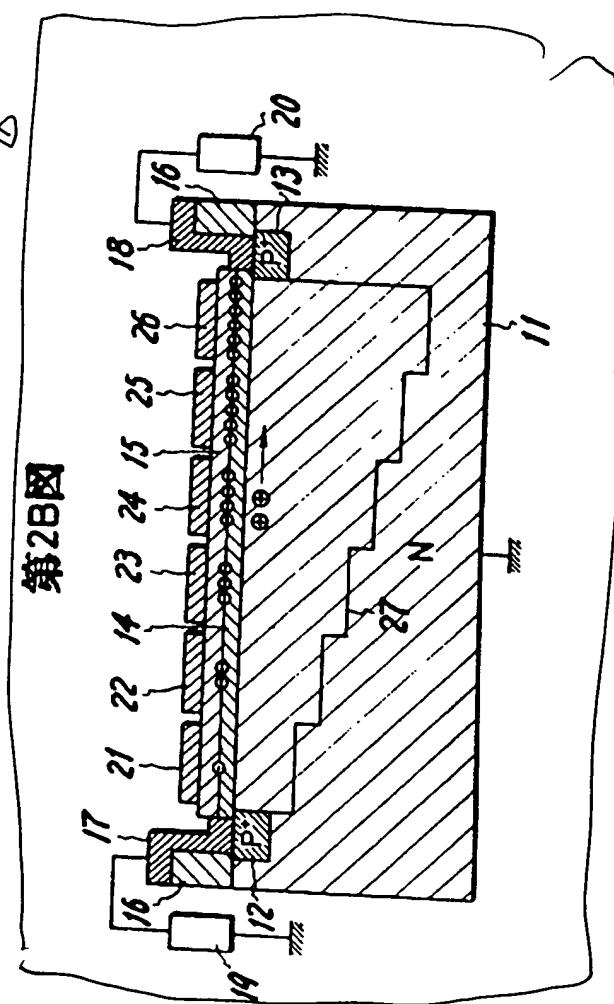
第1C図



第2A図



第2B図



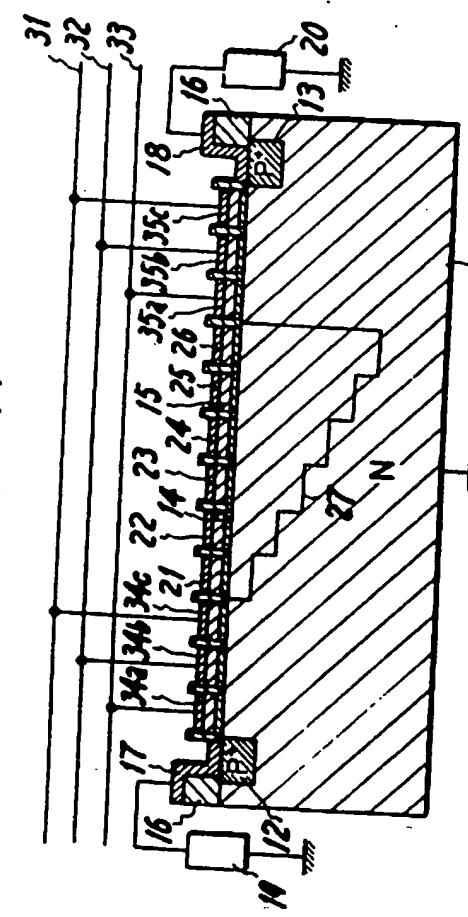
48-41159-17

3

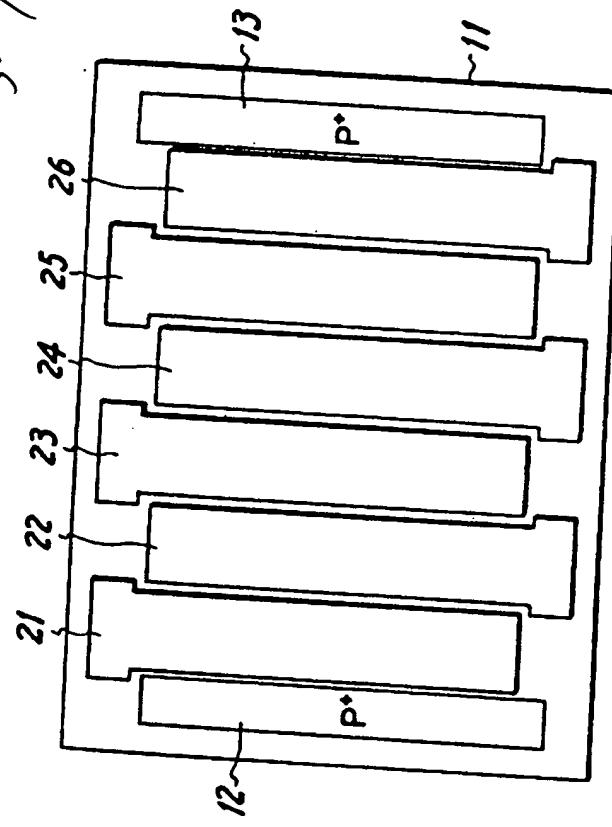
48-41159-18

2

第3図



第2C図



<D>

B

1. A 1 1 5 .

3

48-41159-18

2

特許第41159(Amendment)

A-1/2

(2)、明細書第5頁11行の「3拍駆動」を「3相駆動」に訂正する。

(3)、明細書第9頁13行～第10頁1行の「この実施例の如く……状態となる。」を抹消する。

(4)、明細書第10頁3行の「著者されれば、第2B」を「著者されれば、しきい値電圧V_{TH}が階段状に分布するか、若しくは第2B」と訂正する。

(5)、明細書第10頁6行の「形成されている。」を「形成される。」と訂正する。

(6)、明細書第10頁14行の「知ることが出来る。」の後に、「尚階段状の電荷蓄積により空乏層が階段状に形成されず、しきい値電圧V_{TH}が階段状になるときは、電圧0.02V0.03Vに同一レベルのバイアス電圧を印加する。これによりしきい値電圧の分布に対応した空乏層切が形成され、ヤヤリア相駆動」に訂正する。

(2)

48-41159-19

48-41159-20

48-41159-21

(3)

を一方向にクロックレスで転送することが出来る。」
を加入する。

—以上—

A-2/2